

Family list

1 family member for: **JP6148596**

Derived from 1 application

1 ACTIVE MATRIX TYPE LIQUID CRYTAL DIPLAY DEVICE

Inventor: OTA MASUYUKI; TSUMURA MAKOTO; **Applicant:** HITACHI LTD

(+2)

EC:

IPC: G02F1/133; G02F1/1368; G09G3/36 (+5)

Publication info: JP6148596 A - 1994-05-27

Data supplied from the *esp@cenet* database - Worldwide

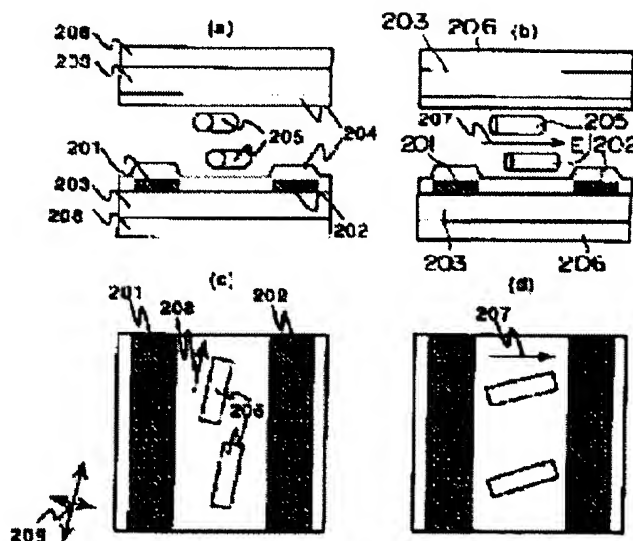
ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP6148596
Publication date: 1994-05-27
Inventor: OTA MASUYUKI; TSUMURA MAKOTO; KONISHI NOBUTAKE; KONDO KATSUMI
Applicant: HITACHI LTD
Classification:
 - international: **G02F1/133; G02F1/1368; G09G3/36; G02F1/13; G09G3/36; (IPC1-7): G02F1/133; G02F1/133; G09G3/36**
 - european:
Application number: JP19920293152 19921030
Priority number(s): JP19920293152 19921030

Report a data error here

Abstract of JP6148596

PURPOSE: To provide controllability for the orientation of liquid crystal even though no transparent electrode is installed in a light transmission path. **CONSTITUTION:** Between a pair of deflecting plates 206, a pair of base boards 203 are installed, and between them 203 a liquid crystal layer is formed, and in this liquid crystal layer, liquid crystal molecules 205 are arranged in such a way as capable of parallel movement to the interface of the base boards 203. When voltages having different potentials are impressed on electrodes 201, 202 constituting a signal wiring and a potential difference is generated between the electrodes 201, 202, an electric field 207 complying with the direction of the potential difference is formed between the electrodes 201, 202, and the orientation condition of the liquid crystal molecules 205 is controlled according to this electric field 207. Thus the orientation of the liquid crystal molecules 205 can be controlled without installing any transparent electrode in the light transmitting path.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-148596

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9226-2K		
	5 0 5	9226-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数11(全 16 頁)

(21)出願番号 特願平4-293152

(22)出願日 平成4年(1992)10月30日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 益幸

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 津村 誠

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小西 信武

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 鶴沼 辰之

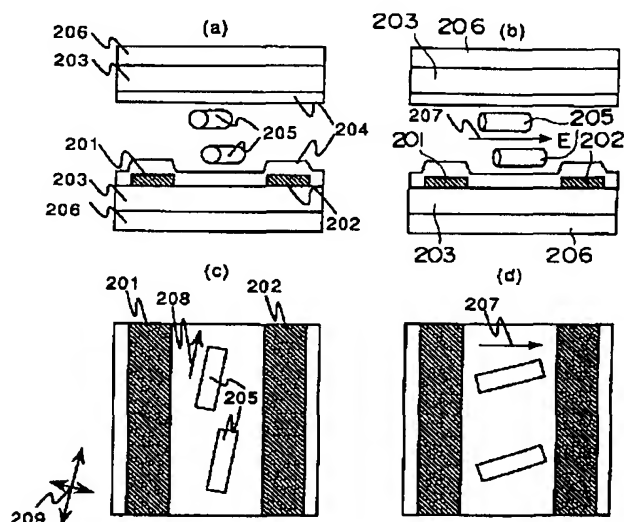
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】 光の伝搬路中に透明電極を設けなくても液晶の配向を制御することができること。

【構成】 一対の偏向板206の間に一対の基板203が配置され、基板203間に液晶層が形成され、この液晶層内に液晶分子205が基板203の界面に対して平行移動可能に配置され、信号配線を構成する電極201と202にそれぞれ電位の異なる電圧が印加されて電極201と202間に電位差が生じると、この電極201と電極202間に電位差の方向に従った電界207が形成され、この電界207に従って液晶分子205の配向状態が制御され、光の伝搬路に透明電極を設けなくても液晶分子205の配向を制御することができる。



201, 202 電極
203 基板
204 配光制御膜
205 液晶分子
206 偏光板
209 偏光板偏光軸

【特許請求の範囲】

【請求項1】 一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域にはアクティブ素子と容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域のアクティブ素子と容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、

前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域にはアクティブ素子と容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域のアクティブ素子と容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、

前記各画素領域のアクティブ素子と容量素子は互いに直列に接続され、各アクティブ素子は一方の走査配線と一方の信号配線に接続され、各容量素子は他方の信号配線に接続され、前記液晶はアクティブ素子と容量素子との接続点と他方の信号配線に接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各

画素領域には複数のアクティブ素子と複数の容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域の各アクティブ素子と各容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、

前記各画素領域の一方のアクティブ素子は一方の容量素子と互いに直列接続されて一方の信号配線と一方の走査配線に接続され、他方のアクティブ素子は他方の容量素子と互いに直列接続されて他方の信号配線と一方の走査配線に接続され、各容量素子はそれぞれ他方の走査配線に接続され、各アクティブ素子と各容量素子との接続点に液晶が接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域には複数のアクティブ素子と複数の容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域の各アクティブ素子と各容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、

前記各画素領域の一方のアクティブ素子は一方の容量素子と互いに直列接続されて一方の信号配線と一方の走査配線に接続され、他方のアクティブ素子は他方の容量素子と互いに直列接続されて他方の信号配線と他方の走査配線に接続され、一方の容量素子は他方の走査配線に接続され、他方の容量素子は一方の走査配線に接続され、各アクティブ素子と各容量素子との接続点に液晶が接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】 各画素領域の一方の信号配線に電極がそれぞれ接続され、各電極が各信号配線と平行に配設され

て平行電極が形成され、さらに各平行電極には各平行電極から突出した櫛型形状の電極片が接続され、各電極片の一部が相対向して平行電極と平行に配設されていることを特徴とする請求項1、2、3または4記載のアクティブマトリクス型液晶表示装置。

【請求項6】 各画素領域の一対の信号配線に電極がそれぞれ接続され、各電極が各信号配線と平行に配設されて平行電極が形成され、さらに各平行電極には各平行電極から各平行電極と交差する方向に突出した電極片が接続され、各電極片が相対向して配設されていることを特徴とする請求項1、2、3または4記載のアクティブマトリクス型液晶表示装置。

【請求項7】 信号配線は $(m+1)$ 本の信号線で構成され、走査配線は n 本の信号線で構成され、透明基板上の領域が各走査配線と各信号配線により $m \times n$ 個の画素領域に分割されていることを特徴とする請求項1、2、3、4、5または6記載のアクティブマトリクス型液晶表示装置。

【請求項8】 信号配線駆動手段は、映像情報に従って各画素の映像信号に関するデータを順次出力する映像データ出力手段と、映像データ出力手段の出力データを映像信号の補数のデータに変換する補数変換手段と、映像データ出力手段の出力データと補数変換手段の出力データのうち指定された一方のデータを選択するデータ選択手段と、データ選択手段の選択によるデータと初期化データを基に得られたラッチデータとを順次累積加算する加算手段と、走査信号の発生回数が所定数に達する所定期間毎に正極性の初期化データと負極性の初期化データとを交互に発生する初期化手段と、加算手段の加算値と初期化手段からの初期化データとを加算してラッチしこのデータをラッチデータとして加算手段へ順次出力するラッチ手段と、加算手段の加算値に従った電圧レベルの映像信号を各映像信号配線へ出力する映像信号出力手段と、加算手段の加算値が設定値を超えたときにデータ選択手段に対してデータの選択先の変更を指令する変更指令手段とから構成されていることを特徴とする請求項1、2、3、4または5記載のアクティブマトリクス型液晶表示装置。

【請求項9】 初期化手段の初期化データ発生タイミングは走査信号の1水平期間または複数の水平期間に設定されていることを特徴とする請求項8記載のアクティブマトリクス型液晶表示装置。

【請求項10】 信号配線駆動手段の出力側には信号配線の偶数列の差分信号を、信号配線の奇数列の差分信号から走査信号の1水平期間だけ遅らせる遅延手段が設けられており、走査配線駆動手段には各画素領域の一方の走査配線に走査信号が出力されるときに、他方の走査配線にバイアス信号を出力するバイアス信号発生手段が設けられていることを特徴とする請求項4記載のアクティブマトリクス型液晶表示装置。

【請求項11】 バイアス信号発生手段から発生するバイアス信号の電圧レベルは、画像を白表示する電圧レベルと画像を黒表示する電圧レベルとの間の電圧レベルに設定されていることを特徴する請求項10記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に係り、特に、マトリクス状に配列された画素を駆動するに好適なアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 従来のアクティブマトリクス型液晶表示装置としては、ツイステッドネマティクス表示方式を採用したものが知られている。この液晶表示装置は、液晶層を駆動する電極として2枚の透明電極を用い、各透明電極を基板界面上に相対向させて配置する構成となっている。この装置によれば、液晶に印加する電界の方向を基板界面にほぼ垂直な方向とすることで液晶の配向を制御することができる。なお、液晶に印加する電界の方向を基板界面にほぼ平行な方向とする方式を採用したものとしては、例えば、特開平1-120528号公報に記載されているように、櫛型電極対を用いたものがある。

【0003】

【発明が解決しようとする課題】 しかし、ツイステッドネマティクス表示方式を採用した従来の液晶表示装置では、液晶を基板界面とほぼ垂直な方向に回転させるために、光の伝搬路中に電界を発生する透明電極を設けなければならない。このため、従来の装置では、ITOに代表される透明電極を形成するのに、スパッタなどの真空形製造設備を使用する必要があり、設備に多くのコストを要することが余儀なくされる。また、真空形製造設備を使用すると、スループットの低下を招き、このことが製造コストを著しく引き上げることになる。更に、透明電極は、一般に、その表面に数十nm程度の凹凸があり、透明電極と共に薄膜トランジスタのような微細なアクティブ素子を加工することは困難である。また透明電極に形成された凸部は離脱しやすく、凸部が電極など他の部分に混入すると、点状あるいは線状の表示欠陥が生じ歩留まりが著しく低下することになる。このため、従来の表示装置では、マーケットニーズに対応した低価格のものを安定的に提供することが困難である。

【0004】 一方、従来技術においては、液晶が基板界面にほぼ垂直な方向に回転するようになっているため、液晶の回転角度によって透過率が変わり、見る角度によって透過率が異なる。このため視角方向を変化させた際の輝度変化が著しく、中間調表示が困難である。更に、従来の構成では、共通電極が必要であり、共通電極を形成するために歩留まりが低下したり、スループットが低下したりすることがある。

【0005】 本発明の目的は、光の伝搬路中に透明電極

を設けなくても液晶の配向を制御することができるアクティブマトリクス型液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するために、本発明は、第1の装置として、一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域にはアクティブ素子と容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域のアクティブ素子と容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0007】第2の装置として、一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域にはアクティブ素子と容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域のアクティブ素子と容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、前記各画素領域のアクティブ素子と容量素子は互いに直列に接続され、各アクティブ素子は一方の走査配線と一方の信号配線に接続され、各容量素子は他方の信号配線に接続され、前記液晶はアクティブ素子と容量素子との接続点と他方の信号配線に接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0008】第3の装置として、一対の偏光板の間に一

対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域には複数のアクティブ素子と複数の容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域の各アクティブ素子と各容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、前記各画素領域の一方のアクティブ素子は一方の容量素子と互いに直列接続されて一方の信号配線と一方の走査配線に接続され、他方のアクティブ素子は他方の容量素子と互いに直列接続されて他方の信号配線と一方の走査配線に接続され、各容量素子はそれぞれ他方の走査配線に接続され、各アクティブ素子と各容量素子との接続点に液晶が接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加してなることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0009】第4の装置として、一対の偏光板の間に一対の基板が配置され、基板のうち透明基板上に複数の走査配線と信号配線がマトリクス状に配設されて透明基板上の領域が各走査配線と各信号配線により複数の画素領域に分割されており、各画素領域上に液晶組成物層が積層され、さらに各画素領域には複数のアクティブ素子と複数の容量素子が互いに液晶組成物中の液晶に接続された状態で配設され、各画素領域の各アクティブ素子と各容量素子が前記いずれかの配線に接続されて液晶駆動回路が構成され、各走査配線が走査配線駆動手段に接続され、各信号配線が信号配線駆動手段に接続されているアクティブマトリクス型液晶表示装置において、前記各画素領域の一方のアクティブ素子は一方の容量素子と互いに直列接続されて一方の信号配線と一方の走査配線に接続され、他方のアクティブ素子は他方の容量素子と互いに直列接続されて他方の信号配線と他方の走査配線に接続され、一方の容量素子は他方の走査配線に接続され、他方の容量素子は一方の走査配線に接続され、各アクティブ素子と各容量素子との接続点に液晶が接続されており、前記液晶組成物中の各液晶分子は相隣接する一対の信号配線の電位差に従った電界の強度に応じて前記透明基板面に平行に移動可能に配設され、前記信号配線駆動手段は、前記走査配線駆動手段から各走査配線に走査信号が出力される毎に、各画素領域に属する一対の信号配線に互いに電位の異なる信号を映像情報に応じて印加し

てなることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0010】第1、第2、第3または第4の装置を含む第5の装置として、各画素領域の一对の信号配線に電極がそれぞれ接続され、各電極が各信号配線と平行に配設されて平行電極が形成され、さらに各平行電極には各平行電極から突出した櫛型形状の電極片が接続され、各電極片の一部が相対向して平行電極と平行に配設されていることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0011】第1、第2、第3または第4の装置を含む第6の装置として、各画素領域の一对の信号配線に電極がそれぞれ接続され、各電極が各信号配線と平行に配設されて平行電極が形成され、さらに各平行電極には各平行電極から各平行電極と交差する方向に突出した電極片が接続され、各電極片が相対向して配設されていることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0012】第1、第2、第3、第4、第5または第6の装置を含む第7の装置として、信号配線は $(m+1)$ 本の信号線で構成され、走査配線は n 本の信号線で構成され、透明基板上の領域が各走査配線と各信号配線により $m \times n$ 個の画素領域に分割されていることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0013】第1、第2、第3、第4または第5の装置を含む第8の装置として、信号配線駆動手段は、映像情報に従って各画素の映像信号に関するデータを順次出力する映像データ出力手段と、映像データ出力手段の出力データを映像信号の補数のデータに変換する補数変換手段と、映像データ出力手段の出力データと補数変換手段の出力データのうち指定された一方のデータを選択するデータ選択手段と、データ選択手段の選択によるデータと初期化データを基に得られたラッチデータとを順次累積加算する加算手段と、走査信号の発生回数が所定数に達する所定期間毎に正極性の初期化データと負極性の初期化データとを交互に発生する初期化手段と、加算手段の加算値と初期化手段からの初期化データとを加算してラッチしこのデータをラッチデータとして加算手段へ順次出力するラッチ手段と、加算手段の加算値に従った電圧レベルの映像信号を各映像信号配線へ出力する映像信号出力手段と、加算手段の加算値が設定値を超えたときにデータ選択手段に対してデータの選択先の変更を指令する変更指令手段とから構成されていることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0014】第8の装置を含む第9の装置として、初期化手段の初期化データ発生タイミングは走査信号の1水平期間または複数の水平期間に設定されていることを特徴とするアクティブマトリクス型液晶表示装置を構成し

たものである。

【0015】第4の装置を含む第10の装置として、信号配線駆動手段の出力側には信号配線の偶数列の差分信号を、信号配線の奇数列の差分信号から走査信号の1水平期間だけ遅らせる遅延手段が設けられており、走査配線駆動手段には各画素領域の一方の走査配線に走査信号が出力されるときに、他方の走査配線にバイアス信号を出力するバイアス信号発生手段が設けられていることを特徴とするアクティブマトリクス型液晶表示装置を構成したものである。

【0016】第10の装置を含む第11の装置として、バイアス信号発生手段から発生するバイアス信号の電圧レベルは、画像を白表示する電圧レベルと画像を黒表示する電圧レベルとの間の電圧レベルに設定されていることを特徴するアクティブマトリクス型液晶表示装置を構成したものである。

【0017】

【作用】前記した手段によれば、映像情報に従って各走査配線と各信号配線にそれぞれ信号が印加されるに際して、各走査配線に走査信号が印加される毎に、各画素領域に属する一对の信号配線には電位差の異なる信号が印加される。各信号配線に電位差の異なる信号が印加されると、この電位差に従った電界が各画素領域の液晶に作用し、液晶分子が透明基板面と平行に回転する。これにより各画素領域の液晶の配向を制御することができる。このため光の伝搬路中に透明電極を設けなくても液晶の配向を制御できることになる。

【0018】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

【0019】図1は液晶表示装置に用いられる液晶パネル内での液晶の動作を説明するための図であり、図1

(a)は電圧無印加時の断面図を示し、図1(b)は電圧印加時の断面図を示し、図1(c)は電圧無印加時の表面図を示し、図1(d)は電圧印加時の表面図を示す。なお、図1では、アクティブ素子を省略してあり、また一画素分の構成のみを示している。図1において、一对の偏光板206の内側には一对の透明基板203が接合されており、各透明基板203の内側には配向制御膜204が積層されている。各配向制御膜204の間に液晶組成物が装着されており、一方の配向制御膜204中には一对の電極201、202が相対向して装着されている。各電極201、202は信号配線に接続され、各電極201、202には電位差の異なる信号が印加されるようになっている。液晶組成物中には棒状の液晶分子205が挿入されており、各液晶分子205は電極201、202から発生する電界によって基板203の界面に対して平行に回転可能に配されている。この液晶分子205は、電極201、202に電圧が印加されないときには、電極201、202の長手方向に対して若干の

角度、すなわち $45^\circ \leq |$ 電界方向に対する界面近傍での液晶分子長軸（光学軸）方向の成す角 $| < 90^\circ$ を保つように配向されている。

【0020】一方、電極201、202に電圧が印加されると、電極201と電極202間に電界207が形成され、この電界207の方向に沿って液晶分子205の位置が制御される。このとき液晶分子205に光が入射すると、光が液晶分子205を透過することになる。この場合、偏向板206の偏向透過軸を所定の角度209に設定すると、電界207の印加によって液晶分子205の光透過率を変えることが可能となる。

【0021】次に、液晶パネルにコントラストを付与するに際しては、上下の基板203上の液晶分子205の配向がほぼ平行な状態を利用したモード（複屈折位相差による干渉色を利用した複屈折モード）、基板203上の液晶分子205の配向方向が交差し、セル内での分子配列が捩じれた状態を利用したモード（液晶組成物層内で偏光面が回転する旋光性を利用した旋光性モード）のうちいずれかのモードを用いることができる。複屈折モードを用いれば、電圧の印加により分子長軸（光軸）方向が基板界面にほぼ平行なまま液晶分子の方位を面内で変え、所定角度209に設定された偏向板206の軸との成す角を変えることによって光透過率を変えることができる。また旋光性モードを用いれば、電圧の印加により分子長軸方向の方位のみを変えることができ、螺旋がほどけることによる旋光性の変化を利用することができる。

【0022】上記表示モードを用いれば、液晶分子の長軸は基板203と常にほぼ平行な状態にあり、立ち上がることがないので、視角方向を変えたときの明るさの変化が小さく、視覚依存性がなく、視覚特性を大幅に向上させることができる。

【0023】次に、アクティブマトリクス型液晶表示装置の具体的構成を図2乃至図9に従って説明する。

【0024】図2において、アクティブマトリクス型液晶表示装置は、液晶表示パネル60、薄膜トランジスタ基板61、対向基板62、走査配線駆動回路63、信号配線駆動回路64、コントロール回路65を備えて構成されている。液晶表示パネル60には薄膜トランジスタ基板61と対向基板62が相対向して配置されており、これらの基板間にネマチック液晶組成物が装着されている。そして薄膜トランジスタ基板61上には $m+1$ 本の信号配線と n 本の走査配線がマトリクス上に配列されており、薄膜トランジスタ基板61の表示エリアが各信号配線と各走査配線によって $m \times n$ 個の画素領域に分割されている。各画素領域には薄膜トランジスタ素子5a、5b、容量素子6a、6b、液晶9が設けられており、各薄膜トランジスタ素子5a、5bのゲート電極が一方の走査配線3に接続されている。薄膜トランジスタ素子5aのドレイン電極は一方の信号配線1に接続され、ソ

ース電極が液晶9を介して容量素子6aに接続されている。そして容量素子6aの多端は他方の走査配線4に接続されている。一方、薄膜トランジスタ素子5bはドレイン電極が他方の信号配線2に接続されており、ソース電極が液晶9と容量素子6bに接続されている。そして容量素子6bの多端が他方の走査配線4に接続されている。

【0025】薄膜トランジスタ素子5a、5bは薄膜トランジスタ基板61に形成されており、薄膜トランジスタ素子5a、5b上にはゲート酸化膜11と保護膜12が積層されている。ゲート絶縁膜11の上方には走査配線3、4が積層されており、保護膜12中には信号配線1、2とソース電極7a、7bが挿入されている。更に保護膜12上には一対の配向制御膜16が積層されており、各配向制御膜16中に液晶層9が形成されている。また上側の配向制御膜16上には表面を平坦化するための透明樹脂層14が積層されており、この透明樹脂層14の上方にはストライプ状のR、G、B三色のカラーフィルタ13が装着されている。そしてカラーフィルタ13のうち光の伝搬路を除いた領域に有機ポリマーによる遮光膜15が形成されている。更にカラーフィルタ13上には透明基板が接合され、この透明基板と薄膜トランジスタ基板61の両側に偏向板が装着されるようになっている。

【0026】各基板は厚みが1、1mmで表面が研磨されたガラス基板を用いて構成されており、各基板によって挟まれた液晶層9は誘電率異方性 $\Delta \epsilon$ が正でその値が4、5であり、複屈折三角 n が0、072（589nm、20℃）のネマチック液晶組成物で構成されている。なお、誘電率異方性 $\Delta \epsilon$ が正の結晶を用いる代わりに負の結晶を用いることも可能である。

【0027】また各基板に塗布されたポリイミド形の配向制御膜16はラビング処理されてプレチルト角が3、5°に設定されている。更に上下界面上のラビング方向は互いに平行で、かつ印加電界方向との成す角度が85°に設定されている。更に上下基板のギャップは球形のポリマビーズを基板間に分散して挟持し、液晶封入状態で4、5μmになっている。このため $\Delta n \cdot d$ は0、324μmになっている。そしてこのように構成された基板が2枚の偏光板で基板を挟んだときに、一方の偏向板の偏向透過軸をラビング方向にほぼ85°とし、他方の偏向板の偏向透過軸をラビング方向とほぼ直方（-5°）とすると、図9に示すように、ノーマリクロス特性の液晶表示パネルを構成することができる。

【0028】ここで、 $m=120$ 、 $n=30$ とすると、液晶表示パネル60の画素数は $40 \times 30 = 1200$ となる。このとき一画素当たりの画素ピッチは、図3に示すように、横方向が80μm、縦方向が240μmとなる。図3は、 g 列目の信号配線1、 $(j+1)$ 列目の信号配線2と $(j-1)$ 行目の走査配線4、 j 行

目の走査配線3とで囲まれた一画素の領域を示している。そして各画素には、図5に示すように、逆スタガー構造の半導体活性層（アモルファスシリコン）8a、8bを用いた薄膜トランジスタ素子5a、5bが形成されている。

【0029】なお、薄膜トランジスタ素子5a、5bとしては、ポリシリコン薄膜トランジスタ素子、シリコンウェハー状のMOS型トランジスタ、またはMIM（Metal-Intrinsic-Metal）ダイオードなどの2端子素子を用いることもできる。

【0030】また、図7に示すように、薄膜トランジスタ素子5a、5bのソース電極7a、7b（実際の駆動状態では、ドレインとして働くこともあるが、本実施例では、信号配線に接続している電極をドレイン電極と定義し、画素電極となる電極をソース電極と定義する）と、ゲート絶縁膜11と、前ラインの走査配線4の一部を用いて容量素子6a、6bを形成している。この容量素子6a、6bはソース電極7a、7bの電位を定電位に保持すると共に信号によるノイズを吸収するために設けられている。そして一つの画素内に設けられた二つの薄膜トランジスタ素子5a、5bはそれぞれソース電極7a、7bに接続されており、図6に示すように、ソース電極7aとソース電極7bとの間の電界の方向Eが主に基板面に平行または水平方向成分を持つようになっていいる。また1つの画素内に3つ以上の薄膜トランジスタ素子を設け、各トランジスタを平行接続することによって冗長構成とすることもできる。同様に容量素子6a、6bも3つ以上用い、各容量素子を平行接続することによって冗長構成とすることができる。更にソース電極7a、7bは画素電極として用いられており、ソース電極7a、7b間の電位差で液晶層9の液晶分子の配向が制御されるようになっている。またソース電極7a、7bの間の距離は、配線ルールにより48 μ mになっている。そして光はソース電極7a、7bの間を透過して液晶層9内に入射して変調されるようになっている。このため、液晶分子の配向を制御するために、透光性のある画素電極、例えばITOなどの透明電極を特に設ける必要はなく、従来のアクティブマトリクス型液晶表示装置の断面構造から二層の透明電極層を無すことができる。更に映像信号配線と同一層で形成することにより、大幅に工程を短縮することができる。

【0031】また一般にフォトマスクのアライメント精度は対向する2枚のガラス基板間のアライメント精度に比べて著しく高い。従って、これら構成要素は両側の基板に分けて配置することもできるが、一方の基板上に形成した方が望ましい。本実施例では、ソース電極7a、ソース電極7b間のアライメントがフォトマスクのみで行なわれるため、液晶層9に印加される電界Eのバラッキを小さく押えることができる。更に同一層で各ソース電極7a、7bを形成することができるので、各ソース

電極7a、7b間の距離dのバラッキを5%以下に押えることができる。また走査信号配線3、4はゲート電極も兼ねることができるようにタンタル薄膜で形成されている。更に映像信号配線1、2はドレイン電極も兼用できるように、ソース電極7a、7bと同時にチタン薄膜で形成されている。

【0032】一方、走査配線3、4及び信号配線1、2は、特に材料の制約はなく、クロム、アルミニウムなどを用いることができるが、信号配線駆動回路64、走査配線駆動回路63との接続端子部での腐食を考慮すると、対腐食性の強い金属が望ましい。また走査配線3、4には電気抵抗の低い金属が望ましいので、走査配線3、4としては二層以上の金属層で構成しても良い。

【0033】また透明樹脂14の材料としてはエポキシ樹脂が用いられている。そしてこの透明樹脂14上と薄膜トランジスタ素子5a、5bを有する基板61上にはポリイミド形の配向制御膜16が塗布されている。この場合、平坦化された透明樹脂14の上に配向制御膜16として、別の膜を形成せずに透明樹脂14の表面を直接ラビングすることも可能である。この場合、エポキシ樹脂は平坦化と液晶分子の配向制御の両方の機能を兼ね備えることになる。これにより、配向膜を塗布する工程がなくなり、製造がより容易でかつ短くなる。一般に、従来方式であるTN型では、配向制御膜16に要求される特性が多岐にわたり、それら全てを満足する必要がある。そのため、ポリイミドなどの一部の材料に限られていた。特に重要な特性は傾き角である。しかし、本実施例の表示モードでは、大きな傾き角を必要とせず、従って材料の選択幅が著しく改善される。同様に、薄膜トランジスタ5a、5bを保護する保護膜12をエポキシ樹脂にし、これをラビング処理することもできる。また配向不良領域の影響によるコントラストの低下を解消するために、クロムを用いて遮光膜15をガラス板上に形成している。この遮光膜15は、有機ポリマーで形成すると良い。すなわち、遮光膜15を有機ポリマーで形成すると、対向基板62上には一切導電性の物質が存在しなくなるからである。この場合本実施例の構成においては、仮に製造工程中に導電性の異物が混入したとしても、有機ポリマーは絶縁物であるため、対向基板62を介して電極間が接触する可能性はなく、電極間の接触に伴う不良率を零に抑制することができる。従って、配向膜16の形成、ラビング、液晶封入工程などのクリーン度の裕度が広がり、製造工程の簡略化が図かれる。更に、遮光膜15を黒色色素を含んだ有機ポリマーで形成すると、有機ポリマーの反射率が低いため、外光の反射によるギラギラやコントラストの低下を防止することができる。更に遮光膜15をストライプ状にレイアウトすることによって、印刷プロセスを用いることができる。これにより、更に製造工程を簡略化できると共に低コスト化が図れる。

【0034】次に、液晶表示パネル60の駆動方式を図8に従って説明する。

【0035】信号配線駆動回路64からの信号と走査配線駆動回路63からの走査信号によって液晶表示パネル60を駆動するに際しては、液晶表示パネル60の走査配線の各行毎に信号が順次書き込まれる線順次駆動が行なわれるようになっている。そして走査配線に順次走査信号が印加されて、薄膜トランジスタ素子5a、5bのゲート電極にゲート電圧71が選択パルスとして順次印加されると、各薄膜トランジスタ素子5a、5bがオンとなり、各信号配線1、2に印加された電圧がドレイン電圧72、73として容量素子6a、6bにそれぞれ書き込まれる。そしてこの行の書き込み期間(1H)が終了すると、ゲート電圧71がオフレベルまで立ち下がり、薄膜トランジスタ素子5a、5bがオフ状態となる。これにより各容量素子6a、6bに書き込まれた電圧が保持されるが、実際には、ゲート電圧71がオフレベルまで立ち下がる時に、薄膜トランジスタ素子5a、5bの寄生容量によるカップリングノイズによって電圧シフト76、77が生じ、その電圧で保持される。ここで、液晶層9内の液晶に印加される電圧は、薄膜トランジスタ素子5a、5bのそれぞれのソース電圧74、75間の電圧78が印加されることになる。そしてこの電圧78によってその画素の明かるさ(透過率)が決定される。このように、書き込まれる信号電圧の差で明かるさが決定されるので、以下、この駆動方式を差分駆動方式と称する。このため、本実施例では、差分駆動用信号を有する画像源から送られてきた差分駆動用信号が信号配線駆動回路64を介して信号配線1、2に供給されることになる。

【0036】このように、本実施例では、液晶の配向を制御するための透明電極がないため、製造プロセスが簡単化になると共に製造プロセスの歩留まりの向上が図れ、製造コストの低減に寄与することができる。特に透明電極を形成するための設備、工程が不要になり、製造設備投資額の大幅な低減と工程数の削減から、それによる低コスト化が可能となる。また差分駆動方式を採用することにより、共通電極を必要としないため、共通電極を形成する工程の削減が図れ、対向基板には一切の電極を設ける必要がなくなった。このためこれによる共通電極との接触不良が零となり、歩留まりの向上が図れ、これによる低コスト化が可能となる。

【0037】また本実施例においては、液晶への印加電圧と明るさとの関係を示す電気光学特性として図9に示すような特性が得られた。図9から、コントラスト比は7V駆動時に150以上となり、視覚を左右、上下に変えた場合のカーブの差は従来方式に比べて極めて小さく、視覚を変化させても表示特性はほとんど変化しなかった。また液晶配向性も良好で、配向不良ドメインは発生しなかった。

【0038】更に、従来の駆動方式では、薄膜トランジスタ素子をオン状態からオフ状態に切り換える際に、薄膜トランジスタ素子の寄生容量を介して電圧シフトが発生し、この電圧シフトによって液晶印加電圧として直流成分が生じる。しかし、本実施例では、薄膜トランジスタ素子5a、5bをオン状態からオフ状態に切り換える際に、薄膜トランジスタ素子5a、5bの寄生容量を通して受ける電圧シフト76、77によって発生する液晶電圧の直流成分は、各薄膜トランジスタ素子5a、5bで互いにキャンセルするので、発生しないことが確認された。従って、本実施例では直流成分の補正をする必要はなく、液晶を直流成分のない交流で駆動することができ、フリッカの発生を抑制することができる。また同様に、直流成分による残像も確認されず、輝度傾斜も目立たなかった。更に、MIMダイオードなどの二端子素子を用いる場合は、素子の色位置のバラッキによる輝度ムラなどの画質不良も同様に2つの二端子素子でキャンセルするので、輝度ムラが解消される。

【0039】ここで、従来方式であるツイステッドネマチック(TN)型を用いた液晶表示装置の電気光学特性を図10に示す。この装置に用いられているネマチック液晶組成物としては、前記実施例と同一の誘電異方性 $\Delta\epsilon$ が正でその値が4.5で、屈折率異方性 Δn が0.072(589nm、20℃)のものをを用い、ギャップは7.3 μm 、ツイスト角は90°のものをを用いている。よって、 $\Delta n \cdot d$ は0.526 μm である。

【0040】図10から、視覚方向で激しくカブーが変化していることが理解される。また薄膜トランジスタの隣接部の段差構造のある付近で、周辺部とは液晶分子の配向方向が異なる配向不良ドメインが生じている。更に共通電極では、直流成分をキャンセルすることができず、フリッカ、残像、輝度傾斜が発生していることが確認された。

【0041】(第2実施例)次に、本発明の第2実施例を図11乃至図13に従って説明する。

【0042】本実施例は、各画素に単一の薄膜トランジスタ素子5cと単一の容量素子6cを設け、薄膜トランジスタ素子5cのゲート電極を一方の走査配線4に接続し、ドレイン電極を一方の信号配線1に接続し、ソース電極を液晶9と容量素子6cに接続し、容量素子6cの多端を他方の信号配線2に接続し、液晶9の多端を他方の信号配線2に接続した構成を採用したものであり、各画素の電極が図11のように構成されている。そして本実施例においても、ソース電極7cと信号配線2との間の電位差で液晶の配向を制御するようになっている。すなわち、第1実施例と同様に、各走査配線3、4に順次走査信号が印加されたときに、信号配線1、2間に映像情報に従った電位差が生じるようになっている。なお、容量素子6cは信号配線2とソース電極7cとの間に形成されている。また走査配線を形成するときに同時に形

成した電極20と信号配線との間にゲート絶縁膜11を挟んで容量素子6cを形成した。更に、図13に示すように、ソース電極7cと電極20は層が異なるので、ソース電極7cと電極20とのコンタクトを取るために、ゲート絶縁膜11に穴が形成されている。

【0043】上記構成において、各画素内の薄膜トランジスタ素子5cを駆動するに際しては、走査信号によって走査配線4が走査されると、薄膜トランジスタ素子5cがオンとなり、信号配線1と2との間に生じた電位差が容量素子6cに充電され、この充電された電圧が容量素子6cによって保持される。そして次に走査配線3が走査されて薄膜トランジスタ素子5cがオフとなったあとは、信号配線2の電位は変動するが、ソース電極7cの電位も容量素子6cによって同様に変動するので、信号配線2の電位がどのように変動しても、ソース電極7cと信号配線2との電位差は一定に保持される。従って、本実施例も前記実施例と同様な駆動方式によって液晶を駆動することができる。

【0044】このように、本実施例では、各画素に薄膜トランジスタ素子及び容量素子をそれぞれ1つ設けることで液晶9を駆動することができ、各画素の平面構造が簡単となり、これによる歩留まりの向上が図れる。また各画素に設けるトランジスタ素子の数が少なくなるため、光を透過する有効部分（開口部）の面積を増すことができ、透過率の向上に寄与することができると共に表示パネルを明るくすることができる。

【0045】（第3実施例）次に本発明の第3実施例を図14に従って説明する。本実施例は、ソース電極7a、7bを櫛型にし、各電極を互いに噛み合うように配置したものであり、他の構成は第1実施例と同様であるので、電極の構成についてのみ説明する。すなわち、各画素領域のソース電極7a、7bには、信号配線1、2に平行な平行電極7c、7dが形成されており、各平行電極7c、7dからは各画素領域の中央部に櫛型に突出した電極片7e、7fが接続されている。平行電極7c、7d、電極片7e、7fは互いに平行となつて相対向して配置されている。

【0046】ソース電極7a、7b間で電界Eを発生させた場合、この電界Eは $E=V/d$ として表わされ、電界Eを印加する両電極間の距離dが長いと電界が液晶に有効に印加されず、液晶のしきい値電圧が上がる。しかし、各ソース電極7a、7bを櫛型形状として各ソース電極7a、7bに平行電極7c、7d、電極片7e、7fを設けると、平行電極7c、7dと電極片7e、7fの距離を $48\mu\text{m}$ から $16\mu\text{m}$ と約 $1/3$ に短くすることができる。これにより、液晶に印加される電界が約3倍となり、その結果、第1実施例に比べて、しきい値電圧及び応答時間（液晶の動く時間）のいずれもを短くすることができる。

【0047】なお、明るさが総変化量の10%変化す

る電圧（V10と定義する）をしきい値電圧と定義すると、第1実施例においては、このしきい値電圧が9.5Vであったが、本実施例によればこのしきい値電圧が5.8Vになった。また応答時間は、0Vの電圧と明かるさが総変化量の90%変化する電圧（V90と定義する）の間でオンオフのスイッチングをし、そのときの応答時間（ $t_{\text{ON}}+t_{\text{OFF}}$ ）を測定したところ、第1実施例では650msであったものが本実施例では140msに短縮された。なお、ここで t_{ON} 、 t_{OFF} はいずれも動的な輝度変化の総量に対して90%変化するまでの時間を表わす。

【0048】このように、本実施例では、前記各実施例の効果に加えて、第1実施例に比べてシキイチ電圧を低くすることができると共に応答時間を短縮することができる。また本実施例においては、差分駆動法を用いるものに限らず、他の表示モードを用いることも可能である。

【0049】（第4実施例）次に本発明の第4実施例を図15に従って説明する。本実施例は、前記実施例と同様に、ソース電極7a、7bを櫛型にし、各電極が互いに噛み合うように配置したものであり、他の構成は第1実施例と同様であるので、電極の構成についてのみ説明する。

【0050】本実施例においては、ソース電極7a、7bにはそれぞれ信号配線1、2に平行な平行電極7c、7dが接続されていると共に、各平行電極7c、7dから各平行電極7c、7dと直行する方向に伸びた電極片7e、7f、7gが接続されている。各電極片7e、7f、7gは相対向して配置されており、電極片7eと電極片7f間に電界Eが印加され、電極片7fと電極片7g間に電界Eが印加されるようになっている。

【0051】このように、本実施例においては、液晶に印加される電界の方向が前記実施例とは90°ずれているため、信号配線1、2の電圧変動によって信号配線1、2間の電界が変動しても、この電界の変動に影響されずに、液晶の制御を安定に行なうことができると共に、信号配線1、2とのクロストークを解消することができる。

【0052】（第5実施例）次に、本発明の第5実施例を図16乃至図18に従って説明する。本実施例は、各画素に複数の薄膜トランジスタ素子5a、5b、容量素子6a、6bを設け、薄膜トランジスタ素子5aのゲート電極を一方の走査配線4に接続し、ドレイン電極を一方の信号配線1に接続し、ソース電極を容量素子6aと液晶9に接続し、容量素子6aの多端を他方の走査配線3に接続し、更に、薄膜トランジスタ素子5bのゲート電極を他方の走査配線3に接続し、ドレイン電極を他方の信号配線2に接続し、ソース電極を液晶9と容量素子6bに接続し、容量素子6bの多端を一方の走査配線4に接続したものである。

【0053】本実施例においては、各薄膜トランジスタ素子5a、5bのゲート電極が異なる走査配線3、4に接続されているため、信号配線の偶数列の差分信号を、奇数列の差分信号から1水平期間だけ遅らせる遅延回路が信号配線駆動回路64の出力側に設けられている。すなわち、本実施例の画素構成では、差分駆動用の信号を供給する行が一行ずれているためである。なお、逆に奇数列の差分駆動用信号を偶数列の差分信号から遅らせることも可能である。

【0054】次に、上記構成による駆動方式について説明する。

【0055】各薄膜トランジスタ素子5a、5bを駆動する際には、一方の走査配線に走査信号を印加するときに、他方の走査配線にはバイアス電圧を印加する方式を採用している。すなわち、薄膜トランジスタ素子5aを駆動するために、薄膜トランジスタ素子5aのゲート電極に選択パルス151が印加されたときには、薄膜トランジスタ素子5aのソース電極7aが接続されてい

$$V_{1c} = |V_{c1} - V_{c2}| = |V_{d1} - V_b(+)- (V_{d2} + V_b(-))|$$

であり、 $V_b(+)= -V_b(-)=V_b$ とすると、

$$V_{1c} = |V_{d1} - V_{d2} - 2V_b| = |V_{d2} - V_{d1} + 2V_b|$$

ここで、 $V_{d2} - V_{d1}$ は正である。従って、 V_b を1Vと設定し、白を表示する電圧 $V_{1c} = V_w = 7V$ とすると、 $V_{d2} - V_{d1}$ は最大5Vであるので、第1実施例で説明したように、信号配線駆動回路64の最大振幅は $2 \times 5V$ の10Vとなり、14V振幅から10V振幅に低減できる。これにより信号配線駆動回路64の消費電力を約半分にすることができる。

【0058】このように、本実施例では、第1実施例の効果に加えて、信号配線駆動回路64の低電圧化が可能となり、消費電力を低減することができる。

【0059】また前記実施例においては、バイアス電圧 V_b を、

$$V_b = (V_w + V_{b1}) / 2$$

に設定することができる。ここで、 V_w は白表示をする電圧を示し、 V_{b1} は黒表示をする電圧を示す。

【0060】ここで、 $V_w = 7V$ 、 $V_{b1} = 3V$ とし、 $V_b = 5V$ とすると、信号配線駆動回路64の最大振幅は $2 \times 2V$ の4Vとなり、信号配線駆動回路64を構成する通常のプロセスによるLSI（5V耐圧のLSI）を使用することができる。従って、信号配線駆動回路64をLSIで構成する際に大幅なコスト低減が可能となる。

【0061】次に、映像信号を差分駆動用信号に変換する変換回路の具体的構成を図19と図20に従って説明する。

【0062】本実施例における映像信号変換回路100はラッチ101、補数変換器102、セクタ103、加算器104、コンパレータ105、ラッチ106、バ

ッファ107のグランドレベルにはバイアス電圧 $V_b(+)$ 160が印加されている。このため薄膜トランジスタ素子5aがオンとなると、容量素子6aに書き込まれる電圧 V_{c1} は、そのときの信号配線1の電位を V_{d1} とすると、

$$V_{c1} = V_{d1} - V_b(+)$$

となる。

【0056】一方、容量素子6bに書き込まれる電圧 V_{c2} は、走査配線3に選択パルス152が印加されたときに書き込まれ、薄膜トランジスタ素子5bのソース電極7bが接続されている容量素子6bのグランドレベルにバイアス電圧 $V_b(-)$ 161が印加される。このためこのときの信号配線2の電位を V_{d2} とすると、

$$V_{c2} = V_{d2} + V_b(-)$$

となる。

【0057】従って、液晶に印加される電圧 V_{1c159} は、

ッファ107、初期化回路110を備えて構成されており、ラッチ101とラッチ106及び加算器104にドットクロック108が入力され、ラッチ101に映像信号に関するデータが入力されている。ラッチ101は映像信号データをドットクロック108に従って順次入力して、入力したデータをラッチし、ラッチしたデータを順次セクタ103と補数変換器102に転送するようになっている。補数変換器102はラッチ101から転送されたデータを補数のデータに変換し、変換したデータをセクタ103へ転送するようになっている。セクタ103はコンパレータ105からの指令に従ってラッチ101または補数変換器102からのデータのうちの一方のデータを選択し、選択したデータを加算器104へ転送するようになっている。加算器104はドットクロック108に従ってセクタ103からのデータとラッチ106からのデータを順次累積加算し、加算したデータをコンパレータ105、ラッチ106、バッファ107へ転送するようになっている。この加算器104では、ラッチ106にラッチされている前の表示データとラッチ101からのデータとの加算あるいは補数変換器102が選択されているときにはラッチ106からの表示データとセクタ103からのデータとの減算を行ない、算出値をバッファ107を介して出力するようになっている。そしてバッファ107から出力された信号が信号配線に印加されることになる。このバッファ107から出力される差分信号は、相隣接する信号配線の電圧の差が絶対値であれば良いので、減算によって、差分駆動信号を作り出すことも可能である。

【0063】ここで、加算器104で加算または減算のみを繰り返されると、加算または減算によって生成される信号の絶対値は非常に大きな値となるため、加算器104の出力が参照値109を超えた場合あるいは参照値を下回った場合にはコンパレータ105の出力信号を反転させて、セクタ103に加算または減算の選択を指令するようになっている。このときの出力データとコンパレータ105との出力の関係を図20に示す。

【0064】このように、本実施例においては、ラッチ101からのデータがセクタ103で選択され、選択されたデータによる加算値が参照値109を超えるとコンパレータ105からの指令によって補数変換器102による補数値がセクタ103によって選択される。補数変換器102から出力されるデータがセクタ103によって選択されると、このデータが加算器104で減算され、加算器104の加算値が反転することになる。一方加算器104の加算値が負の参照値109を下回ったときにはコンパレータ105の指令によってラッチ101からのデータがセクタ103によって選択されることになる。このため、信号配線駆動回路64から出力される電圧の振幅は、最大でも、白を表示するために必要な電圧 $V_w \times 2$ で良ことになる。

【0065】また液晶は、原則として交流駆動することが必要であり、本実施例では、垂直同期信号 V_{sync} を用いて1垂直期間（1フレーム）毎に差分駆動信号の極性を反転させることとしている。このため、本実施例では、初期化回路110に垂直同期信号 V_{sync} が入力される毎に、初期化回路110から正極性の初期化データと負極性の初期化データを交互に出力させてラッチ106のデータをクリアすることとしている。ラッチ106に正極性の初期化データと負極性の初期化データを1フレーム毎に設定すると、1フレーム毎に差分駆動用信号の極性を反転させることができる。このことは、映像信号データの先頭に1垂直期間毎に交互に正極性の初期化データまたは負極性の初期化データを付け加えたことに等しい。なお、初期化データとして正極性のデータと負極性のデータの2つを用いたが、初期化データとして3つ以上のデータを用いることも可能である。

【0066】このように、本実施例によれば、液晶には1垂直期間毎に反転した極性の電圧が印加されるため、液晶を交流で駆動することができる。

【0067】なお、本実施例では、液晶に印加される電圧が無印加時に黒を表示し、電圧の印加時に白を表示するモードすなわち、ノーマリクローズモードを用いている。

【0068】また前記実施例では、異積加算する演算器として、加算器104とラッチ106を用いたが、異積加算する演算器であれば、他のものを用いることも可能である。

【0069】また本実施例における変換回路100を液

晶表示装置内部に持つことによって、画像源として、例えばパソコン、ワークステーションなどにも対応することができる。

【0070】前記実施例において、垂直同期信号を用いて、1水平期間（1H）毎に差分駆動信号の極性を反転させることもできる。すなわち、正極性の初期化データと負極性の初期化データを用いて、1水平期間毎にラッチ106をクリアし、正極性の初期化データまたは負極性の初期化データを交互にラッチ106にラッチさせることによって行なうことができる。そしてこのようなラッチされたデータを基にデータが異積加算されると、映像信号データが差分駆動用信号111に変換される。また垂直同期信号を用いて複数の水平期間毎に差分駆動信号の反転を極性することも可能である。

【0071】このように、垂直同期信号を用いて一水平期間あるいは複数の水平期間毎に差分駆動信号の極性を反転させると、ライン毎に発生するフリッカの極性が互いにキャンセルされ、フリッカの強度を低減することができると共に、ウインドパターンなどを表示したときに縦に筋を引く現象、いわゆる縦スミアを低減することができる。

【0072】

【発明の効果】以上説明したように、本発明によれば、画素領域のうち光の伝搬路に透明電極を設けることなく液晶の配向を制御することができるため、生産工程における歩留まりの向上が図れると共に製造工程の削減を図ることができる。更に視覚特性の向上が図れ、多階調表示が容易となる。また輝度傾斜、残像、フリッカなどの画像不良の発生を抑制することができると共に、低電圧化及び低消費電力化を図ることもできる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の液晶表示パネル内での液晶の動作を説明するための図である。

【図2】液晶表示装置の全体構成図である。

【図3】液晶表示パネルの画素領域の構成を示す図である。

【図4】本発明の第1実施例の画素の透過回路を示す図である。

【図5】図3のA線に沿う断面図である。

【図6】図3のB線に沿う断面図である。

【図7】図3のC線に沿う断面図である。

【図8】第1実施例の各電極に印加される電圧波形を示す図である。

【図9】第1実施例の電気光学特性を示す図である。

【図10】従来の液晶表示装置の電気光学特性を示す図である。

【図11】本発明の第2実施例の画素領域の構成を示す表面図である。

【図12】本発明の第2実施例の画素の等価回路を示す図である。

【図13】図10のD線に沿う断面図である。

【図14】本発明の第3実施例の画素構成を示す図である。

【図15】本発明の第4実施例の画素構成を示す図である。

【図16】本発明の第5実施例の画素構成を示す図である。

【図17】第5実施例の画素の等価回路を示す図である。

【図18】第5実施例の各電極に印加される電圧波形を示す図である。

【図19】映像信号を差分信号に変換する変換回路の構成図である。

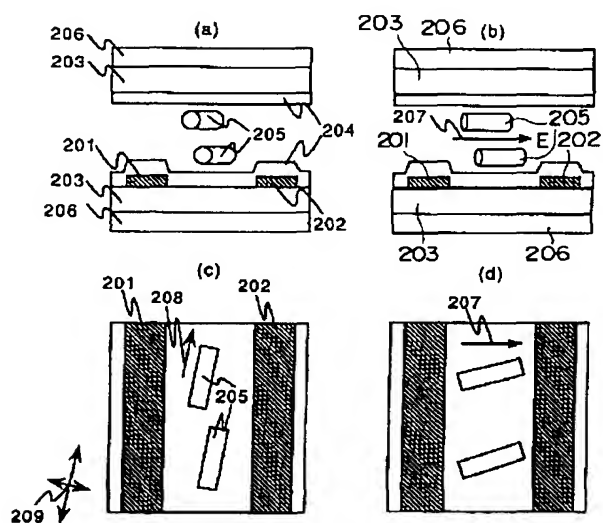
【図20】図19に示す変換回路の動作を説明するため

の波形図である。

【符号の説明】

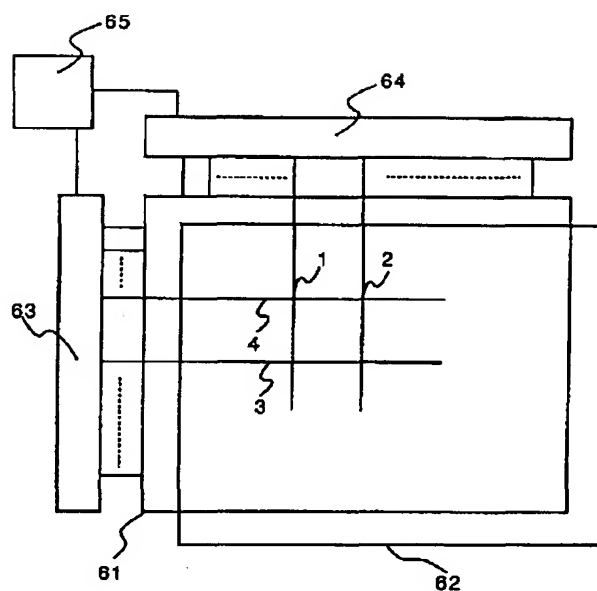
- 1, 2 信号配線
- 3, 4 走査配線
- 5 a, 5 b 薄膜トランジスタ素子
- 6 a, 6 b 容量素子
- 7 a, 7 b ソース電極
- 9 液晶層
- 11 ゲート絶縁膜
- 12 保護膜
- 13 カラーフィルタ
- 15 遮光膜
- 16 配向膜

【図1】



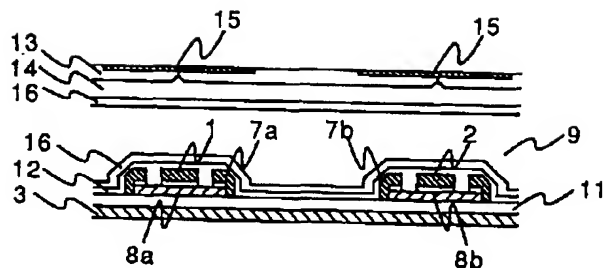
- 201, 202 電極
- 203 基板
- 204 配光制御膜
- 205 液晶分子
- 206 偏光板
- 209 偏光板偏光軸

【図2】

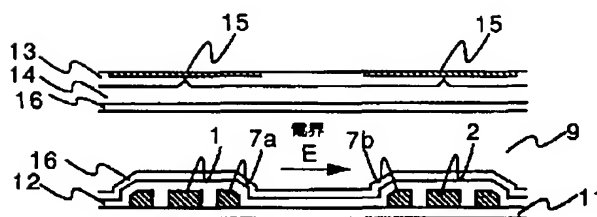


- 61 薄膜トランジスタ
- 62 対向基板
- 63 走査配線駆動回路
- 64 信号配線駆動回路
- 65 コントロール回路

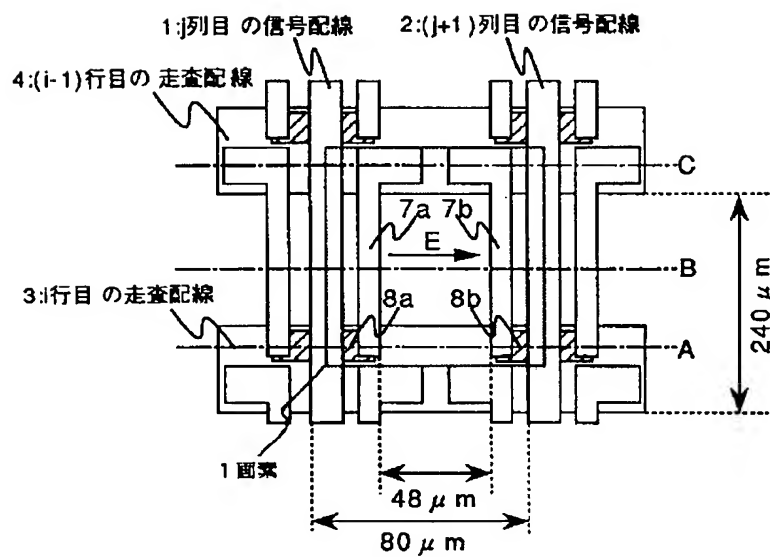
【図5】



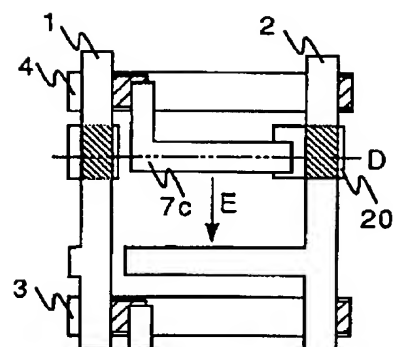
【図6】



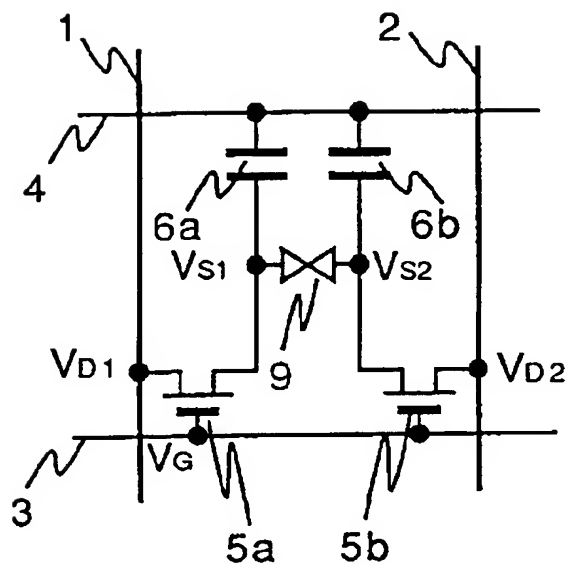
【図3】



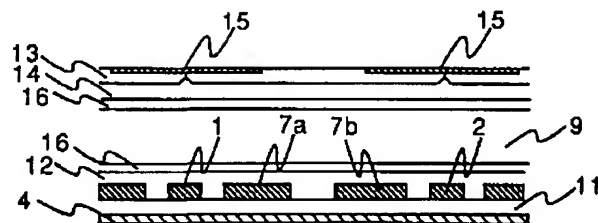
【図11】



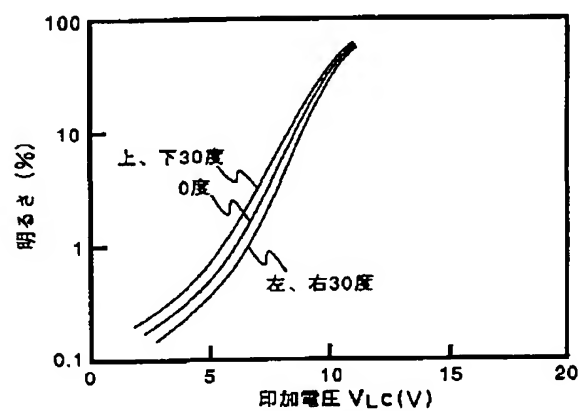
【図4】



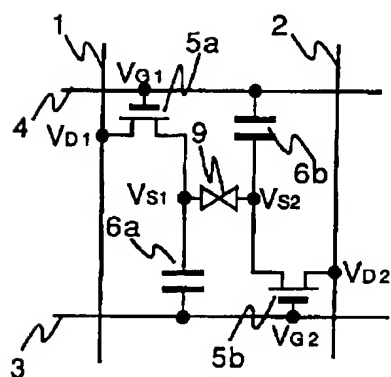
【図7】



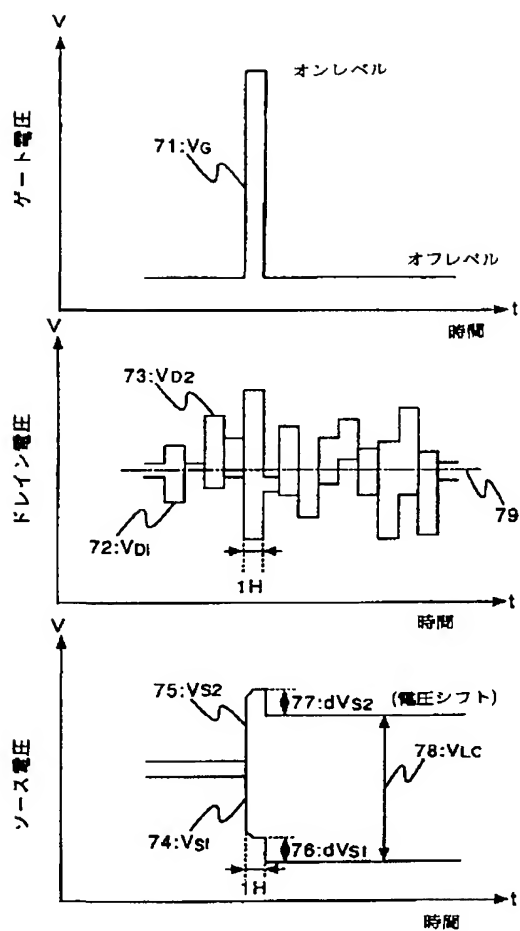
【図9】



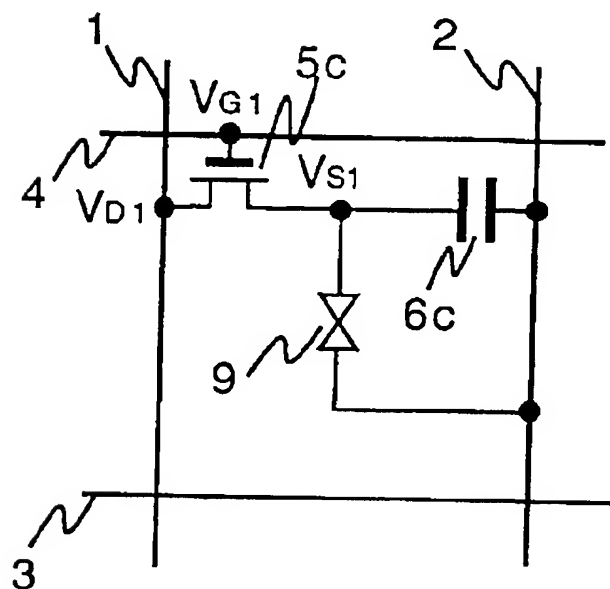
【図17】



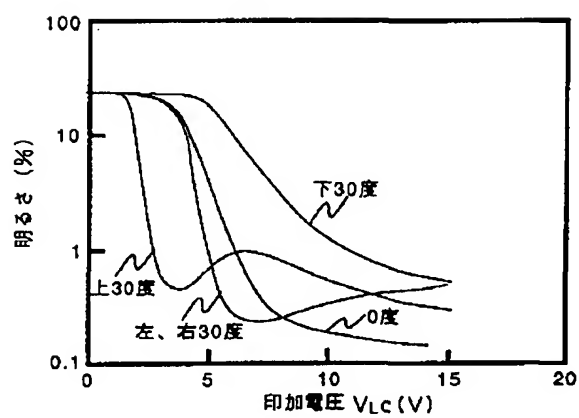
【図8】



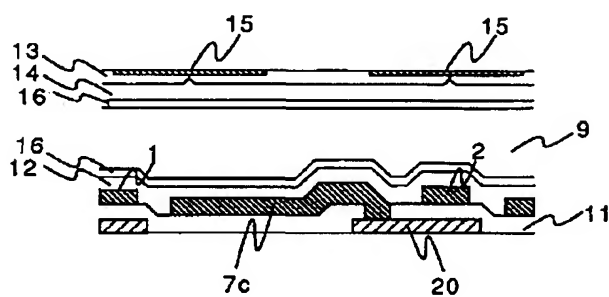
【図12】



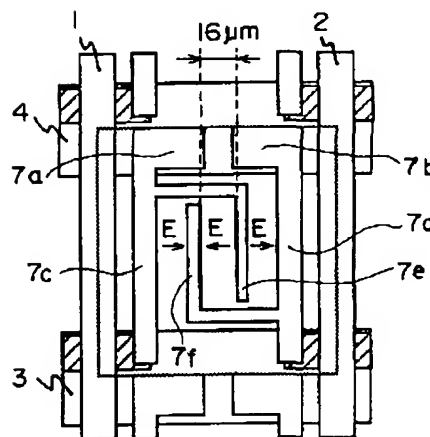
【図10】



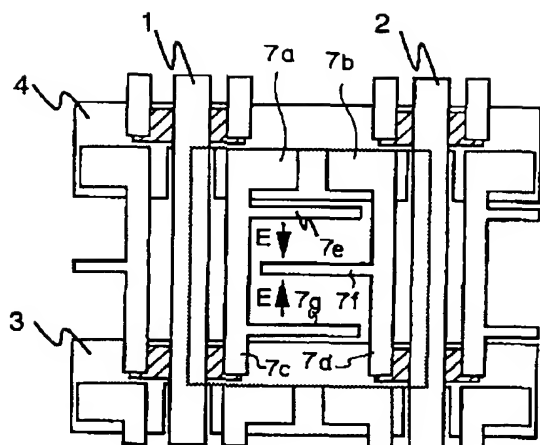
【図13】



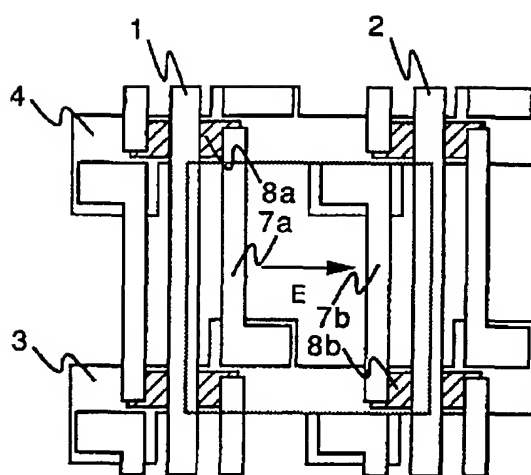
【図14】



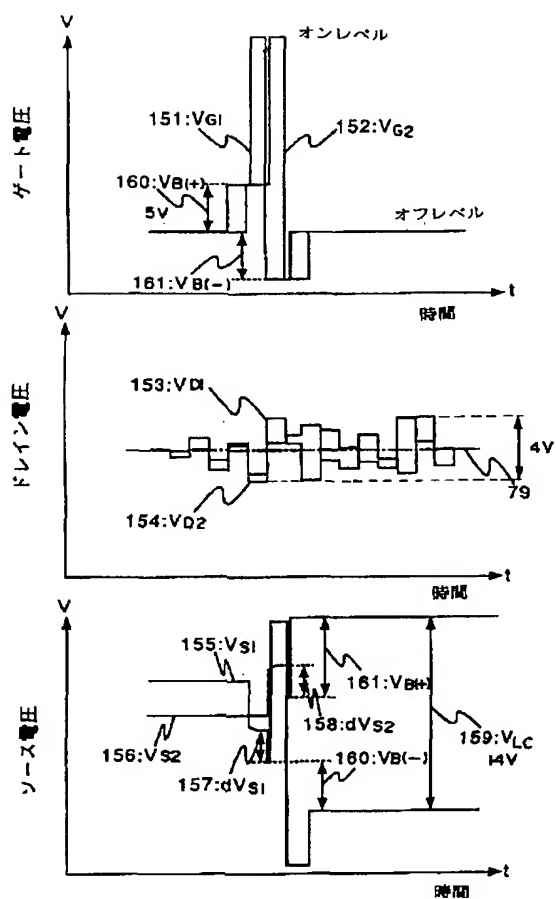
【図15】



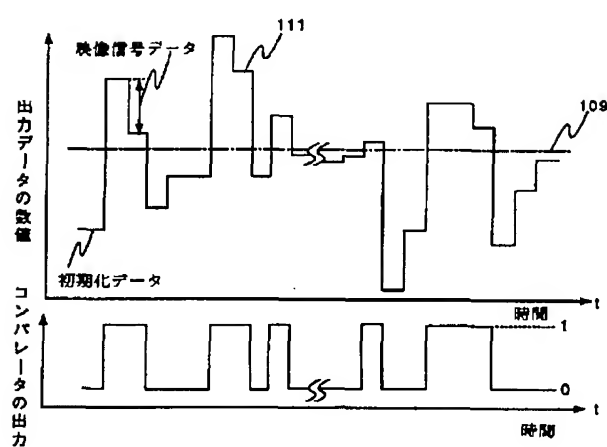
【図16】



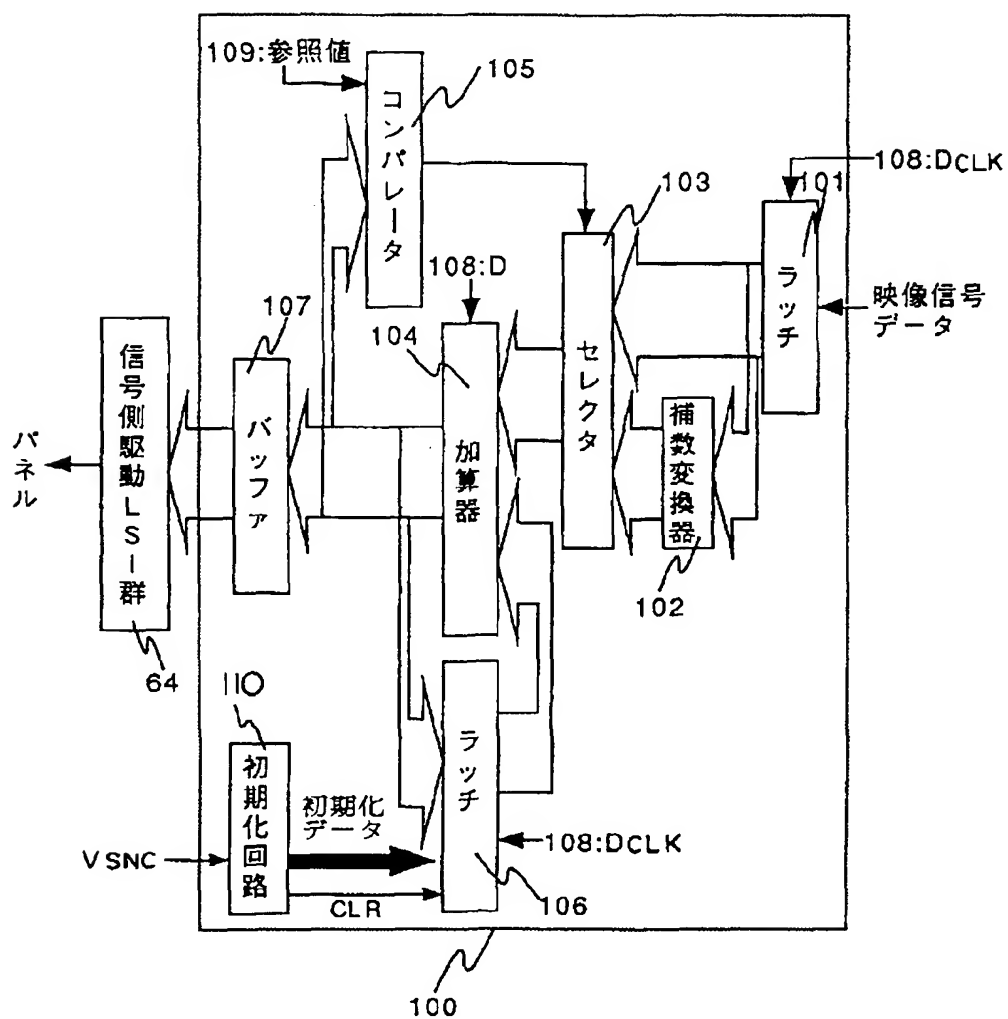
【図18】



【図20】



【図19】



フロントページの続き

(72) 発明者 近藤 克己

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内